

CLIPPEDIMAGE= JP406232351A  
PAT-NO: JP406232351A  
DOCUMENT-IDENTIFIER: JP 06232351 A  
TITLE: BICMOS SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: August 19, 1994

INVENTOR-INFORMATION:  
NAME  
SHINOHARA, MAMORU

ASSIGNEE-INFORMATION:  
NAME  
SONY CORP

COUNTRY  
N/A

APPL-NO: JP05034872  
APPL-DATE: January 30, 1993

INT-CL (IPC): H01L027/06; H01L027/04  
US-CL-CURRENT: 257/370, 257/380

ABSTRACT:

PURPOSE: To provide a semiconductor device of a structure, wherein the device has a resistor formed of a conductor film, such as a polysilicone film, and the contact of the high-resistance polysilicon (conductor) resistor of a thin film thickness can be obtained by a desired method, such as an RIE method, with a high reliability, and a method of manufacturing the device.

CONSTITUTION: A BiCMOS semiconductor device consists of an N-P-N bipolar transistor I, a P-MOS transistor II and a resistor III formed of a conductor film 11' and a conductor film of the same layer as a conductor film forming a gate of the transistor II exists at an impurity source for forming an emitter of the transistor I and at an electrode extraction region of the resistor formed of a conductor film of the same layer as an arbitrary conductor film of conductor films forming an emitter extraction electrode of the transistor I.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-232351

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/06				
27/04		P 8427-4M		
		9170-4M	H 0 1 L 27/ 06	3 2 1 F

審査請求 未請求 請求項の数 6 F D (全 7 頁)

(21)出願番号	特願平5-34872	(71)出願人	000002185
(22)出願日	平成5年(1993)1月30日		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(72)発明者	篠原 衛
			東京都品川区北品川6丁目7番35号 ソニ
			ー株式会社内
		(74)代理人	弁理士 高月 亨

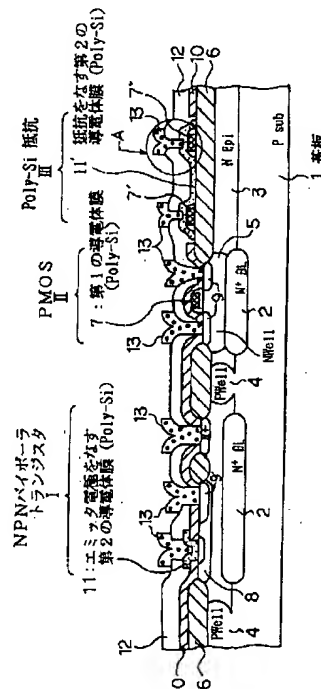
(54)【発明の名称】 BiCMOS型半導体装置及びその製造方法

(57)【要約】

【目的】 ポリシリコン等の導電体により形成された抵抗を有する半導体装置について、R I E等所望の方法で、膜厚の薄い高抵抗のポリシリコン(導電体)抵抗のコンタクトを高信頼性で得ることができる半導体装置及びその製造方法を提供する。

【構成】 バイポーラトランジスタIとMOSTランジスタIIと導電体膜11'により形成された抵抗II Iからなり、バイポーラトランジスタのエミッタ形成のための不純物源及びエミッタ取り出し電極をなしている任意の導電体膜と同層の導電体によって形成されている抵抗の電極取り出し領域に、MOSTランジスタのゲートをなしている導電体膜と同層の導電体膜が存在するBiCMOS型半導体装置及びその製造方法。

実施例1の断面図



## 【特許請求の範囲】

【請求項1】バイポーラトランジスタとMOSTランジスタと任意の導電体膜により形成された抵抗からなるBiCMOS型半導体装置において、

上記バイポーラトランジスタのエミッタ形成のための不純物源及びエミッタ取り出し電極をなしている上記任意の導電体膜と同層の導電体によって形成されている上記抵抗の電極取り出し領域に、上記MOSTランジスタのゲートをなしている任意の導電体膜と同層の導電体膜が存在することを特徴とするBiCMOS型半導体装置。

【請求項2】任意の導電体が、多結晶シリコンからなることを特徴とする請求項1記載のBiCMOS型半導体装置。

【請求項3】任意の導電体が、金属からなることを特徴とする請求項1記載のBiCMOS型半導体装置。

【請求項4】任意の導電体が、多結晶シリコンと金属の合金物質からなることを特徴とする請求項1記載のBiCMOS型半導体装置。

【請求項5】抵抗をなしている導電体膜が高抵抗体であり、MOSTランジスタのゲートをなしている導電体膜が低抵抗体であることを特徴とする請求項1記載のBiCMOS型半導体装置。

【請求項6】請求項1のBiCMOS型半導体装置の製造方法であって、

半導体基板のMOSTランジスタを形成すべき領域のゲート絶縁膜上と、任意の導電体膜によって形成される抵抗の電極取り出しを形成すべき領域の基板表面上とに、第1の導電体膜を形成する工程と、

前記基板表面上に、絶縁膜を形成する工程と、

バイポーラトランジスタのエミッタ及び任意の導電体膜による抵抗を形成すべき領域の前記絶縁膜を除去する工程と、

前記バイポーラトランジスタのエミッタを形成すべき領域の前記絶縁膜の開孔領域を含む任意の領域と、前記任意の導電体膜による抵抗の電極取り出しを形成すべき領域を少なくとも含む前記任意の導電体膜による抵抗を形成する領域に、第2の導電体膜を形成する工程とを少なくとも有することを特徴とするBiCMOS型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、BiCMOS型半導体装置及びその製造方法に関し、特に、バイポーラトランジスタとMOSTランジスタと任意の導電体膜により形成された抵抗を同一基板上に形成したBiCMOS型半導体装置及びその製造方法に関する。なお、本明細書中、BiCMOS型半導体装置の語をもってバイポーラトランジスタとMOSTランジスタとを有する半導体装置を総称するものとする。

## 【0002】

【従来の技術】図7に、従来のBiCMOS型半導体装置の要部断面（本願発明に関連する領域の断面）を図示する。図7中、符号1はP型基板（約 $10\Omega\cdot\text{cm}$ ）、2は $\text{N}^+$ 埋め込み層（Sb拡散、約 $20\Omega\cdot\text{cm}$ ）、3はN型エピタキシャル層（約 $1\Omega\cdot\text{cm}$ ）、4はPWell層、5はNWell層、6はLOCOS酸化膜（約 $500\text{nm}$ ）、7はMOSゲートを構成する第1のポリシリコン（約 $400\text{nm}$ ）、8はベース層、9はPMOSのソース・ドレイン領域を構成する $\text{P}^+$ 層、9'は $\text{P}^+$ 層（ベースコンタクト層）、10は絶縁膜（TEOS CVD  $\text{SiO}_2$  約 $100\text{nm}$ ）、11はエミッタポリシリコンを構成する第2のポリシリコン（約 $70\text{nm}$ ）、11'はポリシリコン抵抗である第2のポリシリコン（約 $70\text{nm}$ ）、12はBPSGリフロー膜（約 $600\text{nm}$ ）、13は配線材料であるAlを示す。

【0003】従来のBiCMOS型半導体装置は、次の工程で製造されていた。

(1) P型基板1にSbを拡散し、 $\text{N}^+$ 埋め込み層2を形成する。

(2) エピタキシャル成長を行い、N型エピタキシャル層3を形成する。

(3)  $50\text{nm}$ 厚の酸化を行う。

(4) Pウェル形成領域にいわゆる「窓開け」を行ったマスクパターンを形成してボロンをイオン注入し、Pウェルを形成する。同様に、Nウェル形成領域を窓開けしてリンをイオン注入し、Nウェルを形成する。

(5) ウェルの不純物拡散を行い、Pウェル層4、Nウェル層5とする。

(6) 酸化のマスク層として $\text{Si}_3\text{N}_4$ をCVDで成膜する。

(7) マスク層をLOCOS形成にパターニングし、酸化を行い、LOCOS酸化膜6を形成する。

(8) マスク層（ $\text{Si}_3\text{N}_4$ ）の剥離後、ゲートの酸化膜を形成する。

(9) ポリシリコンゲートを形成する。

(10) Base形成イオン注入（ $\text{BF}_2$  約 $10^{14}$ ）を行う。

(11)  $\text{P}^+$ 層形成イオン注入（ $\text{BF}_2$  約 $10^{16}$ ）を行う。

(12) TEOS  $\text{SiO}_2$  CVD膜を形成し、絶縁膜10とする。

(13) エミッタ形成領域を開孔する。

(14) 第2のポリシリコンをCVDで形成する。

(15) エミッタのポリシリコン領域に、ヒ素をイオン注入する（約 $10^{16}$ ）。

(16) ポリシリコン抵抗領域に、ヒ素またはリンをイオン注入する（約 $10^{14}$ ）。

(17) ポリシリコンパターニングを行う。

(18) BPSGをCVDで形成する。

(19) コンタクト開孔を行う。

(20) リフロー(900℃ 20分)を行い、ベース領域、P<sup>+</sup>層の活性化を行う。

(21) A1電極形成を行う。

【0004】

【従来技術の問題点】上記製造方法において、(19)コンタクト開孔工程で開孔する絶縁膜の厚さは、ポリシリコン上では、BPSGの600nmのみであり、他の領域では、BPSG(600nm)+TEOS(100nm)の計700nmである。従って、ポリシリコン上では、かなりのエッチングがかかる。例えば、コンタクトのエッチングをRIE法で行った場合、トランジスタ領域(膜厚:700nm)が充分に開孔するように通常50%の工程マージンを見込んでエッチング時間を設定するので、ポリシリコン抵抗のコンタクト領域では、酸化膜換算： $700 \times 1.5 - 600 = 450$ nmのオーバーエッチングとなる。Poly-Si/SiO<sub>2</sub>のエッチングレート比が1/10とれているとしても、ポリシリコン抵抗のコンタクト領域のポリシリコン膜厚は、70nmから25nmとなってしまう、コンタクトとしての信頼性が失われてしまう(ポリシリコン抵抗のコンタクト部である図7のA部詳細を示す図8参照)。

【0005】この問題の解決方法として、一般的に下記の①～③の方法が考えられるが、いずれも併記した理由により採用され得ない。

① エッチング条件をPoly-Si/SiO<sub>2</sub>のエッチングレート比が大きくなるように変更する。しかしこの方法は、RIE法で行う限りでは、エッチングレートを大きくするといってもおのずと限界があるという根本的な問題の他、エッチングレートの低下、コンタクト孔形状の劣化等、他のコントロールされるべき特性が劣化してしまうという問題がある。

② エッチング方法を、プラズマエッチングや溶液エッチング等、化学的反応を主体とした加工方法に変更する。しかしこの方法は、等方エッチングとなり、微細加工ができなくなる。

③ 抵抗に用いているポリシリコンの膜厚をあらかじめ厚くしておく。しかしこの方法では、高抵抗の実現ができなくなる。

【0006】

【発明が解決しようとする課題】本発明は上記問題点を解決し、ポリシリコン等の導電体により形成された抵抗を有する半導体装置について、所望の方法で、例えば微細加工を実現するRIE法によって、膜厚の薄い高抵抗のポリシリコン(導電体)抵抗のコンタクトを高信頼性で得ることができる半導体装置、及びかかる半導体装置を信頼性良く形成する方法を提供するものである。

【0007】

【課題を解決するための手段】本出願の請求項1の発明は、バイポーラトランジスタとMOSトランジスタと任

意の導電体膜により形成された抵抗からなるBiCMOS型半導体装置において、上記バイポーラトランジスタのエミッタ形成のための不純物源及びエミッタ取り出し電極をなしている上記任意の導電体膜と同層の導電体によって形成されている上記抵抗の電極取り出し領域に、上記MOSトランジスタのゲートをなしている任意の導電体膜と同層の導電体膜が存在することを特徴とするBiCMOS型半導体装置であって、これにより上記目的を達成するものである。

【0008】本出願の請求項2記載の発明は、任意の導電体が、多結晶シリコンからなることを特徴とする請求項1記載のBiCMOS型半導体装置であって、これにより上記目的を達成するものである。

【0009】本出願の請求項3の発明は、任意の導電体が、金属からなることを特徴とする請求項1記載のBiCMOS型半導体装置であって、これにより上記目的を達成するものである。

【0010】本出願の請求項4の発明は、任意の導電体が、多結晶シリコンと金属の合金物質からなることを特徴とする請求項1記載のBiCMOS型半導体装置であって、これにより上記目的を達成するものである。の製造方法。

【0011】本出願の請求項5の発明は、抵抗をなしている導電体膜が高抵抗体であり、MOSトランジスタのゲートをなしている導電体膜が低抵抗体であることを特徴とする請求項1記載のBiCMOS型半導体装置であって、これにより上記目的を達成するものである。

【0012】本出願の請求項6の発明は、請求項1のBiCMOS型半導体装置の製造方法であって、半導体基板のMOSトランジスタを形成すべき領域のゲート絶縁膜上と、任意の導電体膜によって形成される抵抗の電極取り出しを形成すべき領域の基板表面上とに、第1の導電体膜を形成する工程と、前記基板表面上に、絶縁膜を形成する工程と、バイポーラトランジスタのエミッタ及び任意の導電体膜による抵抗を形成すべき領域の前記絶縁膜を除去する工程と、前記バイポーラトランジスタのエミッタを形成すべき領域の前記絶縁膜の開孔領域を含む任意の領域と、前記任意の導電体膜による抵抗の電極取り出しを形成すべき領域を少なくとも含む前記任意の導電体膜による抵抗を形成する領域に、第2の導電体膜を形成する工程と、を少なくとも有することを特徴とするBiCMOS型半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0013】本発明は、ポリシリコン抵抗のコンタクト領域を、抵抗を形成するポリシリコンとゲートポリシリコンとの2層構造にすることで実質的にコンタクト領域のポリシリコン膜厚を厚くし、RIEのオーバーエッチングによりコンタクト領域のポリシリコンが削られても残り膜厚が充分に厚い構造とすることによって、上記目的を達成する態様で実施することができる。

## 【0014】

【作用】本発明によれば、BiCMOS型半導体装置、特にバイポーラトランジスタとMOSトランジスタとPoly-Si抵抗を同一基板上に形成したBiCMOS型半導体装置において、従来の製造工程を追加、変更することなしに、膜厚を十分に薄くして抵抗値を高くしたポリシリコン等の半導体膜による抵抗を、コンタクト工程におけるオーバーエッチングによりコンタクト領域の導電体膜（ポリシリコン等）の膜厚が薄くなってしまいう問題なしに形成することができる。

## 【0015】

【実施例】以下本発明の実施例について、図面を参照して説明する。但し、当然のことではあるが、本発明は、以下説明する実施例によって限定を受けるものではない。

【0016】本実施例に係るBiCMOS半導体装置の断面を図1に示す。この半導体装置は、図1のとおり、バイポーラトランジスタI（ここではNPNTランジスタ）とMOSトランジスタII（ここではPMOSTランジスタ）と任意の導電体膜（ここではポリシリコン膜11'）により形成された抵抗IIIからなるBiCMOS型半導体装置であって、バイポーラトランジスタIのエミッタ形成のための不純物源及びエミッタ取り出し電極をなしている任意の導電体膜（ここではポリシリコン膜）11と同層の導電体膜11'によって形成されている上記抵抗IIIの電極取り出し領域に、上記MOSトランジスタIIのゲートをなしている任意の導電体膜（ここではポリシリコン膜）7'と同層の導電体膜（同じくポリシリコン膜7''）が存在する構成となっているものである。

【0017】本実施例のBiCMOS半導体装置は、図3ないし図5に示すように、次の工程を経て、図1の構成に完成される。即ち、半導体基板1（ここではP型シリコン基板）に図3の構造を形成した基板構造について、そのMOSトランジスタを形成すべき領域のゲート絶縁膜上と、任意の導電体膜によって形成される抵抗の電極取り出しを形成すべき領域の基板表面上とに、ここではポリシリコンにより第1の導電体膜7、7'、7''を形成して図4の構造とする工程と、前記基板表面上に、絶縁膜を形成する工程と、バイポーラトランジスタのエミッタ及び任意の導電体膜による抵抗を形成すべき領域の前記絶縁膜を除去する工程、前記バイポーラトランジスタのエミッタを形成すべき領域の前記絶縁膜の開孔領域を含む任意の領域と、前記任意の導電体膜による抵抗の電極取り出しを形成すべき領域を少なくとも含む前記任意の導電体膜による抵抗（ここではポリシリコンである導電体11'）に形成される抵抗）を形成する領域に、第2の導電体膜11、11'を形成する工程とを備えて形成される。本実施例の半導体装置の平面的なパターンを図6に示す。

【0018】図面を参照して、本実施例の工程を更に詳しく説明すると次のとおりである。図3は、LOCOS形成直後の断面図で、従来技術の説明での（7）工程終了時と同じ構造である。

【0019】その後、ゲート酸化膜形成後、第1の導電体膜としてポリシリコンを成膜し、これによりポリシリコンゲート（膜厚：400nm）を形成する。このとき、ポリシリコン抵抗のコンタクト予定領域に、このゲートポリシリコン形成用の導電体膜を同層でパターニングする（この領域に残しておく）。LDD領域にイオン注入後、サイドウォールSiO<sub>2</sub>を形成し、その後、ベース領域、ソース・ドレイン（ベースコンタクト）領域、コレクタコンタクト領域にそれぞれイオン注入を行う。これにより図4の構造とする。

【0020】次いで、TEOS SiO<sub>2</sub>を100nm形成し、絶縁膜10とする。エミッタ予定領域と、ポリシリコン抵抗予定領域の該絶縁膜10（TEOS SiO<sub>2</sub>膜）を除去する。次に第2の導電体膜11、11'としてポリシリコンを70nmCVDにて形成し、エミッタ領域と抵抗領域のそれぞれにイオン注入にて不純物を注入する。例えば、エミッタ領域には、Asを70KeV、 $1 \times 10^{16}$ cm<sup>-2</sup>で、抵抗領域には、BF<sub>3</sub>を70KeV、 $1 \times 10^{14}$ でイオン注入する。ポリシリコン導電体膜をパターニングして、エミッタポリシリコン（導電体膜11）と、抵抗ポリシリコン（導電体膜11'）パターンを形成する。これにより図5の構造とする。

【0021】更にBPSG（600nm）をCVDにて形成し、コンタクトを開孔する。このとき、トランジスタのコンタクト領域の膜厚（700nm）を開孔するマージンを含んだ条件にて、RIEエッチングを行う。当然、従来技術の問題点として説明したように、抵抗に用いているポリシリコンは削られるが、この領域は、図2に示すように実質膜厚470nmなので、数十nm削られても、コンタクトの信頼性は充分保たれる。

【0022】上述したように、本実施例によれば、BiCMOS型半導体装置、特にバイポーラトランジスタとMOSトランジスタとポリシリコン抵抗を同一基板上に形成したBiCMOS型半導体装置において、従来の製造工程を追加・変更することなしに、膜厚を十分に薄くして抵抗値を高くしたポリシリコン抵抗を、コンタクト工程におけるオーバーエッチングによりコンタクト領域のポリシリコン膜厚が薄くなってしまいう問題なしに形成することができる。

【0023】よって、信頼性の向上した半導体装置を得ることができ、ポリシリコン抵抗におけるコンタクト抵抗の低減を実現できる半導体装置を提供できる。

【0024】なお、本実施例では、PNPTランジスタ、PMOS、Poly-Si抵抗のみ記したが、実際には、この他にも、NMOS、PNPTランジスタ、容量等の素子が作りこまれることは言うまでもない。

## 【0025】実施例2

実施例1では、導電体膜としてポリシリコンを用いたが、ここでは金属により形成した。本例でも、実施例1と同じ効果を得ることができる。

## 【0026】実施例3

実施例3では、導電体膜としてポリシリコンを用いたが、ここではポリシリコンと金属の合金物質から成る物質による形成した。本例でも実施例1と同じ効果を得ることができる。

## 【0027】

【発明の効果】本発明によれば、ポリシリコン等の導電体により形成された抵抗を有する半導体装置において、所望の方法で、例えば微細加工を実現するRIE法によって、膜厚の薄い高抵抗のポリシリコン（導電体）抵抗のコンタクトを高信頼性で得ることができる半導体装置、及びかかる半導体装置を信頼性良く形成する方法を提供することができる。

## 【図面の簡単な説明】

【図1】実施例1のBiCMOSTランジスタの断面図である。

【図2】実施例1のBiCMOSTランジスタのポリシリコン抵抗のコンタクト部を示す図で、図1のA部拡大図である。

【図3】実施例1の工程を断面図で示すものである（1）。

【図4】実施例1の工程を断面図で示すものである（2）。

【図5】実施例1の工程を断面図で示すものである（3）。

10 【図6】実施例1のBiCMOSTランジスタの要部のパターンを平面で示す図である。

【図7】従来例の断面図である。

【図8】従来例のポリシリコン抵抗のコンタクト部を示す図で、図7のA部拡大図である。

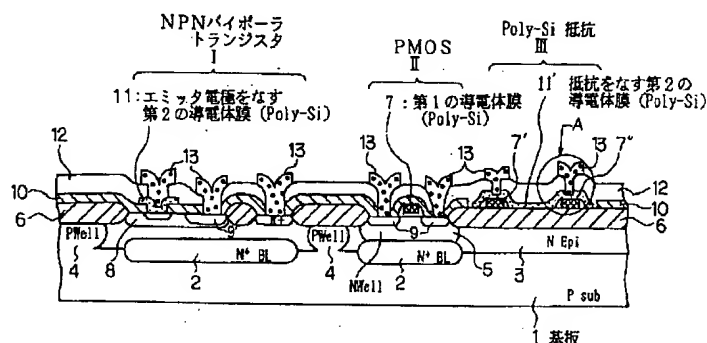
## 【符号の説明】

- 1 基板
- 7、7'、7'' 第1の導電体膜
- 10 絶縁膜
- 11、11' 第2の導電体膜

20

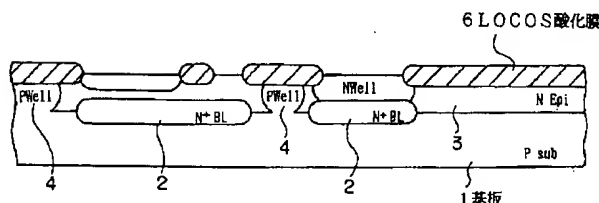
【図1】

実施例1の断面図



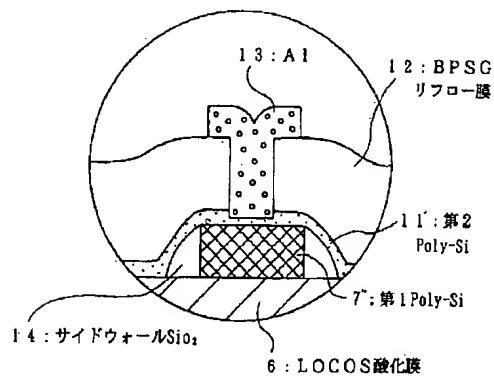
【図3】

実施例1の工程（1）



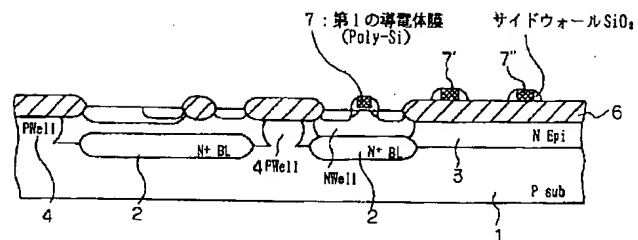
【図2】

Poly-Si抵抗のコンタクト部  
(図1のA部詳細)



【図4】

実施例1の工程(2)

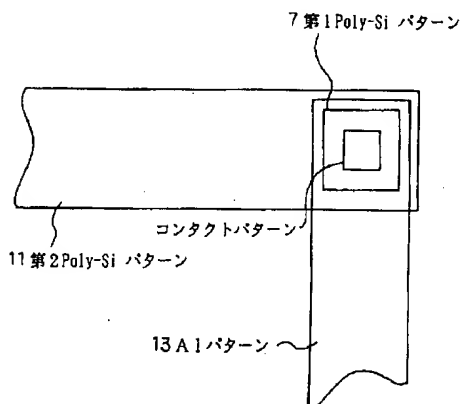
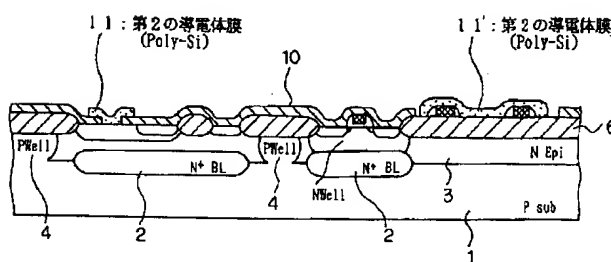


【図6】

実施例を示すパターン図

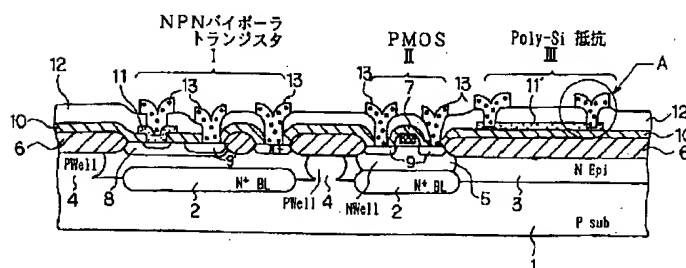
【図5】

実施例1の工程(3)



【図7】

従来例の断面図



【図8】

